

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-122824

(43)Date of publication of application : 17.05.1996

(51)Int.Cl.

G02F 1/136
G02F 1/1335
G02F 1/1335
H01L 29/786
H01L 21/336

(21)Application number : 06-280096 (71)Applicant : SONY CORP

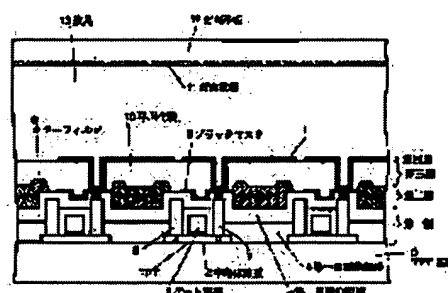
(22)Date of filing : 19.10.1994 (72)Inventor : KADOTA HISASHI
INOUE YUKO
URAZONO TAKENOBU
KUNII MASABUMI
NAKAMURA SHINJI

(54) COLOR DISPLAY DEVICE

(57)Abstract:

PURPOSE: To provide an on-tip color filter structure being suitable for making a picture element high in resolution and high in aperture rate.

CONSTITUTION: A picture element electrode 1 arranged a matrix-shapedly; a thin film transistor TFT for driving individual picture element; and a color filter 9 to interface with each picture element electrode 1 are formed on a TFT substrate 0. An opposite substrate 12 has an opposite electrode 11 and joints to the TFT substrate 0 through a fixed clearance. Liquid crystal is preserved in the clearance. The TFT substrate 0 has the structure of laminated layers where the first to the fourth layers are piled in order. The first layer contains TFT. The second layer contains the color filter 9 and a black mask 8. The third layer is composed of a flattening film 10 for levelling the irregularities of TFT and of the color filter 9. The fourth layer contains the picture element electrode 1. In the laminated structure, the flattening film 10 exists between the picture element electrode 1 and the color filter 9.



[Date of request for examination]	26.06.2000
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3240858
[Date of registration]	19.10.2001
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-122824

(43)公開日 平成8年(1996)5月17日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0			
1/1335	5 0 0			
	5 0 5			
H 0 1 L 29/786				
	9056-4M	H 0 1 L 29/ 78	6 1 2 Z	
	審査請求	未請求	請求項の数 8	F D (全 8 頁) 最終頁に続く

(21)出願番号 特願平6-280096

(22)出願日 平成6年(1994)10月19日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 門田 久志

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 井上 祐子

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 浦園 丈展

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 弁理士 鈴木 晴敏

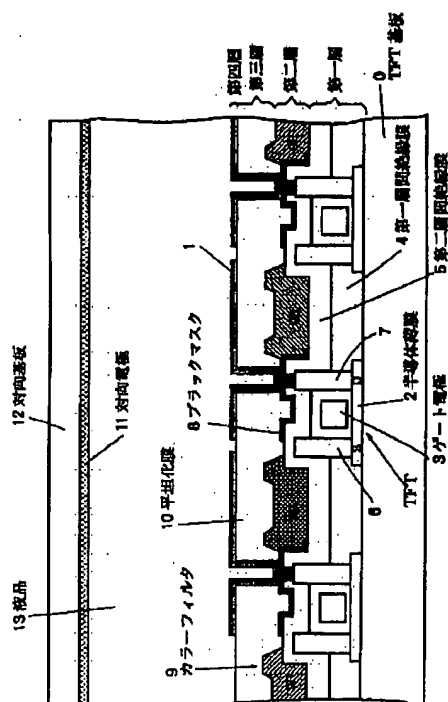
最終頁に続く

(54)【発明の名称】 カラー表示装置

(57)【要約】

【目的】 画素の高精細化及び高開口率化に適したオンチップカラーフィルタ構造を提供する。

【構成】 TFT基板0には、マトリクス状に配列した画素電極1、個々の画素電極1を駆動する薄膜トランジスタTFT及び各画素電極1に整合するカラーフィルタ9が形成されている。対向基板12は対向電極11を有すると共に、TFT基板0に所定の間隙を介して接合している。この間隙には液晶13が保持されている。TFT基板0は第一層ないし第四層を順に重ねた積層構造を有している。第一層はTFTを含んでいる。第二層はカラーフィルタ9やブラックマスク8を含んでいる。第三層はTFTやカラーフィルタ9の凹凸を埋める平坦化膜10からなる。第四層は画素電極1を含んでいる。この積層構造は画素電極1とカラーフィルタ9との間に平坦化膜10を介在させた事の特徴とする。



1

【特許請求の範囲】

【請求項1】 マトリクス状に配列した画素電極、個々の画素電極を駆動するスイッチング素子及び各画素電極に整合するカラーフィルタが形成された一方の基板と、対向電極を有すると共に該一方の基板に所定の間隙を介して接合した他方の基板と、該間隙に保持された電気光学物質とを備えたカラー表示装置であって、

前記一方の基板は、該スイッチング素子を含む第一層と、該カラーフィルタを含む第二層と、該スイッチング素子及び該カラーフィルタの凹凸を埋める平坦化膜からなる第三層と、該カラーフィルタに整合配置した該画素電極を含む第四層とを順に重ねた積層構造を有する事を特徴とするカラー表示装置。

【請求項2】 前記平坦化膜は有機透明材料からなる事を特徴とする請求項1記載のカラー表示装置。

【請求項3】 前記カラーフィルタは顔料を分散した有機感光材料からなる事を特徴とする請求項1記載のカラー表示装置。

【請求項4】 前記第二層は、該カラーフィルタに加えてブラックマスクを含んでおり、少なくとも該スイッチング素子を遮光する事を特徴とする請求項1記載のカラー表示装置。

【請求項5】 前記ブラックマスクは金属膜からなり、第四層に属する画素電極は該金属膜を介して第一層に属するスイッチング素子に電気接続している事を特徴とする請求項4記載のカラー表示装置。

【請求項6】 前記ブラックマスクは絶縁膜からなり、第四層に属する画素電極は該平坦化膜及び該絶縁膜を貫通して直接第一層に属するスイッチング素子に電気接続している事を特徴とする請求項4記載のカラー表示装置。

【請求項7】 前記スイッチング素子は、トップゲート型又はボトムゲート型の薄膜トランジスタである事を特徴とする請求項1記載のカラー表示装置。

【請求項8】 前記電気光学物質は、液晶である事を特徴とする請求項1記載のカラー表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はカラー表示装置に関する。より詳しくは、画素電極を駆動するスイッチング素子が形成された駆動基板側にカラーフィルタを備えた構造を有するアクティブマトリクス型のカラー表示装置に関する。

【0002】

【従来の技術】 薄膜トランジスタを画素電極駆動用のスイッチング素子として用いるカラー液晶表示装置は近年その開発が活発に行なわれている。従来、この種の液晶表示装置としては、例えば図5に示す様な構成が知られている。この従来例では、ガラス基板0上に画素電極1を駆動する為の薄膜トランジスタ(TFT)が集積形成

2

されている。TFTは半導体薄膜2を素子領域とし、ゲート絶縁膜を介してゲート電極3がパタニング形成されている。半導体薄膜2にはソース領域Sとドレイン領域Dが設けられている。かかる構成を有するTFTは第一層間絶縁膜4により被覆されている。この上には所定の形状にパタニングされた配線電極6が設けられており、コンタクトホールを介してソース領域Sに電気接続している。この配線電極6は信号ラインの一部を構成する。配線電極6は第二層間絶縁膜5により被覆されている。前述した画素電極1は第二層間絶縁膜5及び第一層間絶縁膜4に開口したコンタクトホールを介してドレイン領域Dに電気接続している。各画素電極1をRGB三原色で着色する為カラーフィルタ9が形成されている。カラーフィルタ9は細分化されており、個々の画素電極1と第二層間絶縁膜5の間に介在する。カラーフィルタ9は赤色のセグメント9Rと緑色のセグメント9Gと青色のセグメント9Bとからなる。この様に、カラーフィルタ9はガラス基板0の上に直接形成されており、所謂オンチップカラーフィルタ構造となっている。なお、TFT、画素電極1及びカラーフィルタ9が集積形成されたガラス基板0を以下TFT基板と呼ぶ事にする。このTFT基板0に対し所定の間隙を介して対向基板12が接合している。対向基板12の内表面には対向電極11が形成されている。両基板0、12の間には液晶13が保持されている。

【0003】 オンチップカラーフィルタ構造は、例えば特開平2-54217号公報、特開平3-237432号公報、特開平3-72322号公報、特開平3-119829号公報、特開平4-253028号公報、特開平2-153325号公報、特開平5-5874号公報等に開示されている。TFT基板側にカラーフィルタを設けた構造は、対向基板側にカラーフィルタを形成した構造に比べ種々の利点を有している。例えば、カラーフィルタ9が画素電極1と重なっている為両者の間に視差が生ぜず、画素部の開口率を大きくとれる。又、画素電極1とカラーフィルタ9のアライメント誤差が殆どなくなるので、画素部が微細化しても高開口率を維持できる。

【0004】

【発明が解決しようとする課題】 しかしながら、図5に示す従来構造は、カラーフィルタ9に透明な画素電極1が直接接触している。このような構造をとると、カラーフィルタ9はITO等からなる透明画素電極1の成膜時等にスパッタダメージを受ける為、カラーフィルタ9の表面荒れが起りやすかった。又、カラーフィルタ9の各セグメント9R、9G、9Bは一定の間隔で分離されているが、この分離帯にITOがスパッタされると、画素電極1のパタニング加工時エッチング残りが生じやすく、不良発生の原因となっていた。加えて、下地のカラーフィルタ9の凹凸の影響を受け画素電極1に段差が生じる

為、これが液晶13の配向乱れ、ディスクリネーション、リバースチルトドメイン等を引き起す原因ともなっていた。さらに、カラーフィルタ9に含まれる不純物が液晶13やその配向膜(図示省略)を汚染し、これらを劣化させたり焼き付き等の不良を起す原因となっていた。

【0005】

【課題を解決するための手段】本発明は上述した問題点を解決するもので、その目的はカラーフィルタの表面荒れ、エッチング残り、リバースチルトドメインの発生等が生じないオンチップカラーフィルタ構造を提供する事にある。かかる目的を達成する為以下に以下の手段を講じた。即ち、本発明にかかるカラー表示装置は基本的な構成として、マトリクス状に配列した画素電極、個々の画素電極を駆動するスイッチング素子及び各画素電極に整合するカラーフィルタが形成された一方の基板と、対向電極を有すると共に該一方の基板に所定の間隙を介して接合した他方の基板と、該間隙に保持された電気光学物質とを備えている。特徴事項として、前記一方の基板は、該スイッチング素子を含む第一層と、該カラーフィルタを含む第二層と、該スイッチング素子及び該カラーフィルタの凹凸を埋める平坦化膜からなる第三層と、該カラーフィルタに整合配置した該画素電極を含む第四層とを順に重ねた積層構造を有する。

【0006】具体的な構成では、前記平坦化膜は有機透明材料を用いる事ができる。又、前記カラーフィルタは顔料を分散した有機感光材料を用いる事ができる。好ましくは、前記第二層は該カラーフィルタに加えてブラックマスクを含んでおり、少なくとも該スイッチング素子を遮光する。このブラックマスクは例えば金属膜からなり、第四層に属する画素電極は該金属膜を介して第一層に属するスイッチング素子に電気接続している。あるいは、このブラックマスクは絶縁膜からなり、第四層に属する画素電極は該平坦化膜及び該絶縁膜を貫通して直接第一層に属するスイッチング素子に電気接続している。前記スイッチング素子は、例えばトップゲート型又はボトムゲート型の薄膜トランジスタからなる。なお、前記電気光学物質は例えば液晶を用いる事ができる。

【0007】

【作用】本発明にかかるオンチップカラーフィルタ構造では、カラーフィルタを含む第二層と該カラーフィルタに整合配置した画素電極を含む第四層との間に、スイッチング素子及びカラーフィルタの凹凸を埋める平坦化膜からなる第三層が介在している。即ち、カラーフィルタは平坦化膜により保護された構造となっており、この平坦化膜の上に画素電極がパタニング形成される。従って、画素電極の成膜時やパタニング時、カラーフィルタの表面荒れが起らない。又、画素電極1は極めて平滑な表面を有する平坦化膜の上に形成されるので、従来問題となっていたエッチング残り等が生じない。さらに画素

電極の表面状態も略平らになるので、従来問題となっていた液晶の配向乱れ、ディスクリネーション、リバースチルトドメイン等も発生しない。さらに、前述した第二層はカラーフィルタに加えてブラックマスクを含む様にしており、オンチップカラーフィルタ構造ばかりでなく所謂オンチップブラック構造をも実現している。これにより、画素の高精細化及び高開口率化が一層促進できる。特に、ブラックマスクを金属膜で構成し、これを介して画素電極とスイッチング素子を電気接続する。この構造により両者間の電気接続の信頼性が向上する。

【0008】

【実施例】以下、本発明にかかるカラー表示装置の好適な実施例を詳細に説明する。図1は第一実施例の要部を示す模式的な断面図である。図1において、0はガラス等の絶縁材料からなるTFT基板、1は画素(液晶セル)を構成する透明な画素電極、2はTFTの活性層となる半導体薄膜、3はゲート電極、4は第一層間絶縁膜、5は第二層間絶縁膜、6はTFTのソース領域Sに電気接続する信号ライン側の配線電極、7は同じくTFTのドレイン領域Dに電気接続する画素電極1側の配線電極、8はTFTを遮光するブラックマスク、9は細分化されたセグメント9R、9G、9Bの集合からなるカラーフィルタ、10は平坦化膜、11は透明導電膜からなる対向電極、12は対向基板、13は電気光学物質として用いられる液晶である。

【0009】ガラス等の透明絶縁基板0上に薄膜トランジスタTFTを構成する半導体薄膜2、例えば多結晶シリコン薄膜が形成され、この半導体薄膜2上にゲート絶縁膜を介してゲート電極3がパタニング形成されている。かかる構成を有するTFTはPSG等からなる第一層間絶縁膜4により被覆されている。第一層間絶縁膜4の上にはソース領域S及びドレイン領域Dに接続する配線電極6、7がパタニング形成されている。これらの配線電極6、7は同じくPSG等からなる第二層間絶縁膜5により被覆されている。この上にはブラックマスク8、カラーフィルタ9、平坦化膜10、ITO等の透明導電膜等からなる画素電極1がこの順序で形成されている。ドレイン領域D側の配線電極7は金属膜からなるブラックマスク8を介して画素電極1と電気的に接続している。配線電極7と画素電極1の間に介在するこの金属膜はバリヤフィルムとして機能し、両電極7、1間の電気的な接触を良好なものとしている。なお、このバリヤフィルムはブラックマスク8と同一の金属膜であれば良く、バリヤフィルム自体が下地のTFTを遮光する位置になくても良い。一方、対向電極11が全面に形成されたガラス等からなる対向基板12はTFT基板0に対向して配置され、両基板0、12間に液晶13が保持されカラー表示装置を構成する。

【0010】本発明の特徴事項として、TFT基板0は第一層ないし第四層を順に重ねた積層構造を有してい

5

る。図示する様に、一番下の第一層はTFTに加え配線電極6、7や第一層間絶縁膜4、第二層間絶縁膜5を含んでいる。次の第二層はカラーフィルタ9を含んでいる。前述した様に、カラーフィルタ9は個々のセグメント9R、9G、9Bに分割されており、表面は凹凸状態となっている。その上の第三層はTFTやカラーフィルタ9の凹凸を埋める平坦化膜10で構成されている。一番上の第四層は画素電極1を含んでおり、カラーフィルタ9の各セグメント9R、9G、9Bに整合配置されている。なお、第四層には画素電極1に加え液晶13の配向膜（図示省略）等も含まれる。かかる積層構造の特徴は、第二層と第四層との間に第三層が介在している事であり、換言するとカラーフィルタ9と画素電極1は平坦化膜10により隔てられている。カラーフィルタ9は平坦化膜10により保護されており、後工程でのダメージを受ける事がない。画素電極1は平坦化膜10の上にパタニングされる為、加工性が良いばかりでなく液晶13の配向を乱す惧れない。

【0011】第二層はカラーフィルタ9に加えてブラックマスク8を含んでおり、少なくともTFTを遮光している。オンチップカラーフィルタ構造に加えオンチップブラック構造が実現でき、画素の高精細化及び高開口率化を促進できる。本例では、ブラックマスク8は金属膜からなり、第四層に属する画素電極1はこの金属膜を介して第一層に属するTFTの配線電極7に電気接続している。この金属膜はバリアフィルムとして機能し画素電極1、7の電気接続を良好なものとする。TFTは画素電極1を駆動するスイッチング素子であり、本例ではトップゲート型構造を採用している。

【0012】引き続き図1を参照して、本発明にかかるカラー表示装置の製造方法を詳細に説明する。先ず、ガラス等からなる絶縁基板0の上に半導体薄膜2、例えば多結晶シリコンを70～100nmの厚みで成膜する。必要ならば、Si⁺イオンを打ち込み非晶質化した後、600℃程度で加熱処理（アニール）して大粒徑化を図る。あるいは、エキシマレーザ光を照射してアニールを行なっても良い。この半導体薄膜2は所定の形状にパタニングされる。この上に熱酸化法あるいはLPCVD法等の手段を用いてゲート絶縁膜を10～100nmの厚みで成膜する。次いで、多結晶シリコンあるいはMoSi、WSi、Al、Ta、Mo/Ta、Mo、W、Ti、Cr等の金属を成膜し、パタニングしてゲート電極3に加工する。なお、ゲート電極3として多結晶シリコンを用いた場合は低抵抗化を図る為、P等を熱拡散する工程が入る事がある。この後、ゲート電極3をマスクとしてイオンインプランテーションあるいはイオンドーピングにより不純物イオンを打ち込み、ソース領域S及びドレイン領域Dを形成する。多結晶シリコンからなるゲート構造を採用した場合、1000℃程度の熱アニール

6

した場合、耐熱性の観点から、低温アニール又はレーザアニールを加え不純物の活性化を図る。

【0013】続いて、PSG、NSG等を約600nmの厚みで常圧CVD法により成膜し第一層間絶縁膜4とする。これにソース領域S及びドレイン領域Dに連通するコンタクトホールを開孔する。次いで、Al等の導電性薄膜をスパッタ等により400～600nmの厚みで成膜する。これを所定の形状にパタニングし、配線電極6、7に加工する。この上に、例えばPSG等を常圧CVD法により約400nmの厚みで堆積し、第二層間絶縁膜5を形成する。この後、TFTの性能を改善する為水素化工程を行なう。この水素化工程では、例えば水素プラズマ中にTFT基板0を曝露する。あるいは、P-SiN_x膜を積層し、アニールして水素を半導体薄膜2に拡散させる。この水素化工程後、画素電極と電気接続をとる為のコンタクトホールを第二層間絶縁膜5に開孔する。この上に、遮光性を有する金属膜、例えばTi、Al、TiN_x、Mo、Cr、W又はこれらのシリサイドをスパッタ等の手段により50～1000nm程度の厚みで成膜し、所定の形状にパタニングしてブラックマスク8に加工する。

【0014】このブラックマスク8上に、例えば顔料を分散した有機感光材料からなるカラーレジストを0.5～3.0μm程度の膜厚で塗布し、露光、現像、焼成を行ない、カラーフィルタ9の各セグメントを形成する。この工程は、RGB毎に異なったカラーレジストを用い、上述した露光、現像、焼成を3回繰り返して、セグメント9R、9G、9Bを集積形成する。

【0015】このカラーフィルタ9上に、有機透明材料からなる平坦化膜をスピコートし、1.0～3.0μm程度の膜厚で塗布する。この有機透明材料としてはアクリル樹脂やポリイミド樹脂を用いる事ができる。この工程で、TFT基板0上の凹凸が平坦化され、液晶の配向性に優れた基板構造が得られる。同時に、カラーフィルタ9中に含まれる不純物が液晶13に拡散する事を防止できる。この後、平坦化膜10にコンタクトホールを開孔する。次いで、例えばITO等からなる透明導電膜を50～200nmの厚みでスパッタ等により成膜し、所定の形状にパタニングして画素電極1に加工する。以上で図1に示したTFT基板0の積層構造が完成する。この後、配向膜を塗布しラビング処理後、所定の間隙を介して対向基板12と接合する。この間隙に液晶13を注入して、アクティブマトリクス型のカラー表示装置が完成する。

【0016】図2は、本発明にかかるカラー表示装置の第二実施例を示す模式的な部分断面図である。基本的な構成は図1に示した第一実施例と同様であり、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は第二層の構造である。第一実施例ではブラックマスク8を形成した後、カラーフィルタ9を形成

7

している。これに対し、第二実施例では先にカラーフィルタ9を形成し、その上に重ねてブラックマスク8を形成している。工程設計上の観点等から、図1又は図2に示した構造のどちらかが適宜選択される。

【0017】図3は、本発明にかかるカラー表示装置の第三実施例を示す模式的な部分断面図である。基本的には図1に示した第一実施例と同様であり、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、画素電極1とTFTの電気接続構造にある。本実施例では、ブラックマスク8が絶縁膜からなる一方、第四層に属する画素電極1は平坦化膜10及びブラックマスク8を貫通して、直接第一層に属するTFTのドレイン領域Dに電気接続している。ブラックマスク8はバリアフィルムとして機能しないので、金属膜である必要はなく絶縁膜からなる。例えば、有機系又は水溶性顔料分散膜を用いる事ができ、0.5〜3.0μmの膜厚で成膜し、ブラックマスク8とする。

【0018】図4は、本発明にかかるカラー表示装置の第四実施例を示す模式的な部分断面図である。基本的には図1に示した第一実施例と同様であり、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、第一実施例がトップゲート型のTFTを採用したのに対し、本実施例はボトムゲート型のTFTを画素電極駆動用のスイッチング素子に用いている。この構造を作成する場合には以下の工程を行なう。まず、基板0上に多結晶シリコンあるいはMoSi、WSi、Al、Ta、Mo/Ta、Mo、W、Ti、Cr等の金属を成膜し、所定の形状にパタニングしてゲート電極3に加工する。このゲート電極形成後、SiO₂、SiO、N₂等をスパッタ法又はプラズマCVD法等により約100〜200nmの厚みで成膜し、ゲート絶縁膜14とする。場合によっては、金属ゲート電極3の陽極酸化膜をゲート絶縁膜に用いても良い。あるいは、陽極酸化膜とSiO₂、SiO、N₂等を重ねてゲート絶縁膜にしても良い。続いて多結晶シリコン、非晶質シリコン等をスパッタ法、プラズマCVD法等により約30〜80nmの厚みで成膜し、活性層となる半導体薄膜2を設ける。必要ならば、エキシマレーザ等を照射し結晶化させる。プラズマCVD法を用いる場合は、ゲート絶縁膜14と半導体薄膜2を連続的に成膜できる。半導体薄膜2を形成した後、SiO₂を成膜し所定の形状にパタニングしてエッチングストップ15とする。これをマスクとしてイオンドーピング又はイオンインプランテーションにより不純物を半導体薄膜2に打ち込みソース/ドレイン領域を形成する。イオン打ち込みに替え、プラズマCVDを用いたドーパント非晶質シリコン等を用い不純物拡散を行なっても良い。この後、MoSi、WSi、Al、Ta、Mo/Ta、Mo、W、Ti、Cr等の金属膜を形成し、所定の形状にパタニングして配線電極6、7に加工する。次いで、常圧CVD法等により層間絶縁膜4を

8

形成する。この層間絶縁膜4にコンタクトホールを開く。次いで、金属膜、例えばTi、Al、TiN_x、Mo、Cr、W又はこれらの金属シリサイド等をスパッタ法等により50〜1000nm程度の厚みで成膜し、所定の形状にパタニングしてブラックマスク8に加工する。このブラックマスク8の上にカラーフィルタ9を形成する。この形成方法は第一実施例と同様である。さらに、カラーフィルタ9を被覆する様に平坦化膜10を成膜する。

【0019】

【発明の効果】以上説明した様に、本発明によれば、カラーフィルタと画素電極は平坦化膜を介して隔てられている為、カラーフィルタの表面がスパッタダメージを受ける事はなく、フィルタの表面荒れの問題は解決できた。さらにカラーフィルタ中に含まれる不純物の液晶層への拡散を防ぐ事ができる。又、カラーフィルタの段差も平坦化膜で緩和される為、段差起因のリバースチルトドメインも大幅に減少した。以上により、実用的なオンチップカラーフィルタ構造を提供する事が可能になった。勿論、オンチップカラーフィルタ構造では、画素部の開口率を大きくとれ、又画素電極とカラーフィルタのアライメント誤差が殆んどなくなるので、画素部が微細化しても高開口率を保持できる様になり、アクティブマトリクス型カラー表示装置の高開口率化及び高透過率化に大きな効果が得られる。

【図面の簡単な説明】

【図1】本発明にかかるカラー表示装置の第一実施例を示す要部断面図である。

【図2】本発明にかかるカラー表示装置の第二実施例を示す要部断面図である。

【図3】本発明にかかるカラー表示装置の第三実施例を示す要部断面図である。

【図4】本発明にかかるカラー表示装置の第四実施例を示す要部断面図である。

【図5】従来のカラー表示装置の一例を示す模式的な部分断面図である。

【符号の説明】

- 0 TFT基板
- 1 画素電極
- 2 半導体薄膜
- 3 ゲート電極
- 4 第一層間絶縁膜
- 5 第二層間絶縁膜
- 6 配線電極
- 7 配線電極
- 8 ブラックマスク
- 9 カラーフィルタ
- 10 平坦化膜
- 11 対向電極
- 12 対向基板

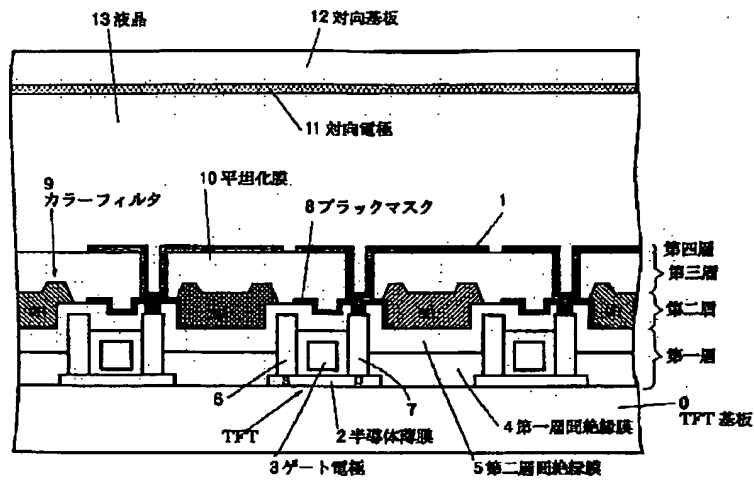
(6)

特開平8-122824

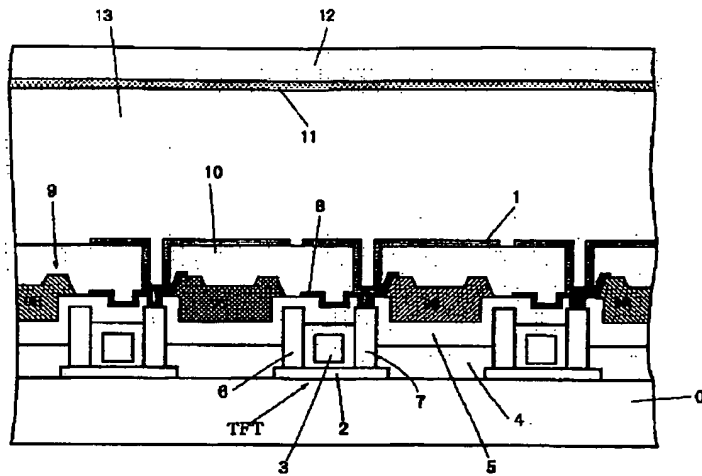
13 液晶
14 ゲート絶縁膜

15 エッチングストップ

【図1】



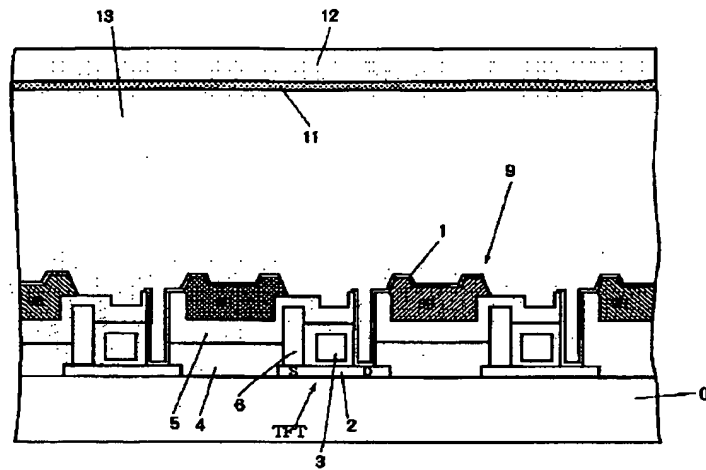
【図2】



A cross-sectional view of a thin-film transistor (TFT) array structure. The diagram shows a substrate (1) with a gate layer (2) and a gate electrode (3). A gate insulating layer (4) is formed over the gate layer. A source/drain layer (5) is formed over the gate insulating layer. A source/drain electrode (6) is formed over the source/drain layer. A passivation layer (7) is formed over the source/drain electrode. A buffer layer (8) is formed over the passivation layer. A pixel layer (9) is formed over the buffer layer. A pixel electrode (10) is formed over the pixel layer. A pixel insulating layer (11) is formed over the pixel electrode. A pixel buffer layer (12) is formed over the pixel insulating layer. A pixel buffer layer (13) is formed over the pixel buffer layer.

A cross-sectional view of a semiconductor device. The device consists of a substrate 0 with a series of rectangular regions 3. Above these regions are layers 4, 6, and 7. A layer labeled TTT is positioned above layer 6. On top of the TTT layer are structures 1, 2, 8, 9, 10, 11, 12, 13, 14, and 15. The structures 1, 2, 8, 9, 10, 11, 12, 13, 14, and 15 are arranged in a periodic pattern. The regions 3 are separated by insulating material 5. The TTT layer is also separated by insulating material 5.

【図5】



フロントページの続き

(51)Int. Cl.⁶

H 0 1 L 21/336

識別記号

庁内整理番号

F I

技術表示箇所

(72)発明者 国井 正文

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72)発明者 中村 真治

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内